

DIALOG(R) File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

05780134 **Image available**
DIGITAL PICTURE DISPLAY DEVICE

PUB. NO.: 10 -063234 [JP 10063234 A]
PUBLISHED: March 06, 1998 (19980306)
INVENTOR(s): SAKAMI HIROYUKI
MAIKUMA HIDEKI
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)
APPL. NO.: 09-105887 [JP 97105887]
FILED: April 23, 1997 (19970423)
INTL CLASS: [6] G09G-005/00; G09G-003/20; G09G-003/36; G09G-005/18;
H04N-005/66
JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 44.6 (COMMUNICATION --
Television)
JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R131 (INFORMATION
PROCESSING -- Microcomputers & Microprocessors)



ABSTRACT

PROBLEM TO BE SOLVED: To automatically adjust the frequency of a clock for A/D conversion by calculating the clock corresponding to the clock number of an A/D converting circuit to make a value obtained by deducting a horizontal picture start coordinate from a horizontal picture end coordinate coincide with the picture element number in a horizontal effective display section.

SOLUTION: A picture start and end coordinate detecting circuit 3 detects the start and end coordinates of a picture in the horizontal and vertical directions based on a digital picture signal Sid from the A/D converting circuit 1, the clock Sc from a clock generating circuit 2, a delay horizontal synchronizing signal Shs from a delay circuit 5 and a vertical synchronizing signal Vsync from a personal computer, so that a picture information signal Si is generated. The clock Sc corresponding to the clock number of the A/D converting circuit 1 is calculated so as to make the value obtained by deducting a start coordinate from the horizontal picture end coordinate coincide with the picture element number of the horizontal effective display section at the time of digitally generating an input signal Sia by a display control circuit 4, so that the frequency of the clock Sc is automatically adjusted.

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-63234

(43)公開日 平成10年(1998)3月6日

(51) Int.Cl. * 識別記号 庁内整理番号 F I 標記表示箇所
 G 0 9 G 5/00 5 2 0 G 0 9 G 5/00 5 2 0 V
 3/20 4237-5H 3/20 V
 3/36 3/36
 5/18 5/18
 H 0 4 N 5/66 H 0 4 N 5/66 B
 審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21)出願番号 特願平9-105887
(22)出願日 平成9年(1997)4月23日
(31)優先権主張番号 特願平8-106684
(32)優先日 平8(1996)4月26日
(33)優先権主張国 日本(JP)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 酒見 博行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 每熊 英樹
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

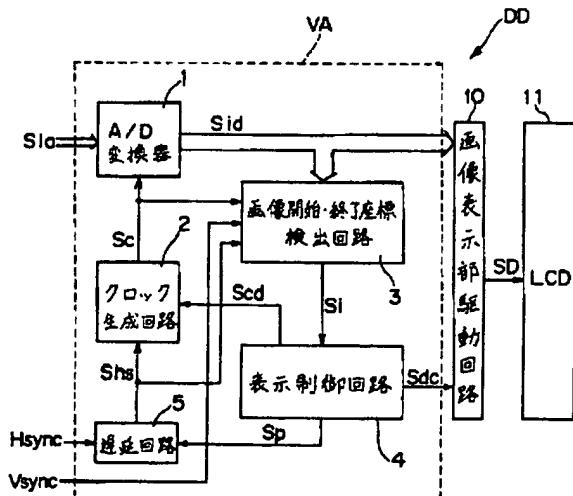
(74) 代理人 弁理士 青山 蔡 (外1名)

(54) 【発明の名称】 デジタル画像表示装置

(57) 【要約】

【課題】 アナログ画像入力信号 $S_{i a}$ をデジタル信号 $S_{i d}$ 化して表示するデジタル画像素子装置 DD において、クロック周波数 S_c 、位相データ S_p 及び表示位置データ $S_{d c}$ を入力信号 $S_{i a}$ に応じて自動的に設定する。

【解決手段】 ビデオ信号S i dの開始H c Sと終了座標H c Eを同期信号H sync、V syncとクロックS cを用い検出する画像開始・終了座標検出回路3と、クロック数データS c dに基づいて、クロックS cを生成するクロック生成回路2と、位相データS pに基づいて、水平同期信号H syncを遅せクロック生成回路2に出力する遅延回路5と、画像開始・終了座標検出回路3からの座標データS d cをもとに表示しようとする画像に対しクロック数データS c d、位相データS p、表示位置データS d cを算出する表示制御回路4から構成される。



【特許請求の範囲】

【請求項1】 アナログ画像入力信号(Sia)をデジタル変換して表示するデジタル画像表示装置(DD)であって、

該アナログ画像入力信号(Sia)と、一定の周期でアナログからデジタルに変換する為のクロック(SC)を入力として、該アナログ画像入力信号(Sia)をデジタル信号に変換するA/D変換回路(1)と、該A/D変換回路(1)からの出力であるデジタルビデオ信号(Sid)と該アナログ画像入力信号(Sia)に同期した水平同期信号(Hsync)と垂直同期信号(Vsync)、該A/D変換回路(1)のクロック(SC)を入力として、水平区間内(Ph1-Ph2)で水平画像開始座標(HcS)と水平画像終了座標(HcE)を検出する画像開始・終了座標検出回路(3)と、

該水平画像開始座標(HcS)と該水平画像終了座標(HcE)より、該A/D変換回路(1)のクロック(SC)の周波数と関係づけられたクロック数データ(SCd)を算出する表示制御回路(4)と、該表示制御回路(4)からのクロック数データ(SCd)に基づいて、該A/D変換回路(1)のクロック(SC)を生成するクロック生成回路(2)より構成され、

該表示制御回路(4)により、該水平画像終了座標(HcE)から該水平画像開始座標(HcS)を減じた値が、該アナログ画像入力信号(Sia)をデジタル的に生成した時の水平有効表示区間(HEDP)の画素数(NHP)に合致するように、該A/D変換回路(1)のクロック数に対応するクロック(SC)を算出する事により、該A/D変換するクロック(SC)の周波数を自動調整する事を特徴とするデジタル画像表示装置(DD)。

【請求項2】 アナログ画像入力信号(Sia)をデジタル変換して表示するデジタル画像表示装置(DD)であって、

該アナログ画像入力信号(Sia)と、一定の周期でアナログからデジタルに変換する為のクロック(SC)を入力として、該アナログ画像入力信号をデジタル信号に変換するA/D変換回路(1)と、

該A/D変換回路(1)からの出力であるデジタルビデオ信号(Sid)と該アナログ画像入力信号(Sia)に同期した水平同期信号(Hsync)と垂直同期信号(Vsync)と該A/D変換回路(1)のクロック(SC)を入力として、水平区間内(Ph1-Ph2)で水平画像開始座標(HcS)を検出する画像開始座標検出回路(3)と、

該アナログ画像入力信号(Sia)に同期した水平同期信号(Hsync)を遅らせる遅延回路(5)と、該遅延回路(5)の出力(Shs)と同期して該A/D

変換回路(1)のクロック(SC)を生成するクロック生成回路(2)と、

該水平画像開始座標(HcS)を入力として、該水平同期信号(Hsync)の遅延時間(Ts)を決める位相データ(Sp)を該遅延回路(5)に出力する表示制御回路(4)より構成され、

該表示制御回路(4)にて該位相データ(Sp)を変え、これにより該画像開始座標検出回路(3)からの画像開始座標値(HcS, Se)が一座標分(HcS, HcS')変化する該位相データ(Sp)を2点(P1, P2)検出し、該検出された位相データ(P1, P2)を用いて、該A/D変換回路(1)のクロックの位相を自動調整する事を特徴とするデジタル画像表示装置(DD)。

【請求項3】 アナログ画像入力信号(Sia)をデジタル変換して表示するデジタル画像表示装置(VA)であって、

アナログ画像入力信号(Sia)と、アナログからデジタルに変換する為のクロック(SC)を入力として、該アナログ(Sia)をデジタル信号に変換するA/D変換回路(1)と、

該A/D変換回路(1)からの出力であるデジタルビデオ信号(Sid)、該アナログ画像(Sia)に同期した水平同期信号(Hsync)と垂直同期信号(Vsync)、該A/D変換回路(1)のクロックを入力として、水平画像開始座標(HcS)と、垂直画像開始座標(VcS)を検出する画像開始座標検出回路(3)と、デジタルにて変換されたビデオ信号(Sid)を表示する為に表示座標(Sdc)を制御する表示座標制御回路(4)から構成され、

該表示座標制御回路(4)は、水平表示開始座標(HsS)を該水平画像開始座標(HcS)から、水平表示終了座標(HsE)を該水平画像開始座標(HcS)と該アナログ画像入力信号(Sia)をデジタル的に生成した時の水平有効表示区間(HEDP)内の画素数(NHP)とから、垂直表示開始座標(VsS)を該垂直画像開始座標(VcS)から、垂直表示最終座標(VsE)を該垂直画像開始座標(VcE)と該アナログ画像入力信号(Sia)をデジタル的に生成した時の垂直有効表示区間(VEDP)のライン数(V)から算出した事により表示座標(Sdc)を自動調整する事を特徴とするデジタル画像表示装置。

【請求項4】 右端で上端および左端で下端、または左端で上端および右端で下端に画像を表示する画面を入力し、

該画像開始座標検出回路(3)に、水平画像終了座標(HcE)と垂直画像終了座標(VcE)を検出する機能を付加して、

該表示座標制御回路(4)内の該アナログ画像入力信号(Sia)をデジタル的に生成した時の水平有効表示区

間内の画素数 (N H P) を水平画像終了座標 (H c E) から水平画像開始座標 (H c S) を減じた値とし、該アナログ画像入力信号をデジタル的に生成した時の垂直有効表示区間 (V E D P) のライン数を垂直画像終了座標 (V c E) から垂直画像開始座標 (V c S) を減じた値とし、表示座標を自動調整する事を特徴とする請求項3に記載のデジタル画像表示装置。

【請求項5】 該アナログ画像入力信号に同期した垂直同期信号の間の水平同期信号の総数をカウントする機能を該画像開始終了検出回路 (3) に追加し、該アナログ画像入力信号をデジタル的に生成した時の水平有効表示区間 (H E D P) の画素数 (N H P) の識別に使用する機能を持つことによりA/D変換するクロックの周波数を自動調整する事を特徴とする請求項1に記載のデジタル画像表示装置。

【請求項6】 請求項5に記載の垂直同期信号の間の水平同期信号の総数から識別されたアナログ画像入力信号をデジタル的に生成した時の水平有効表示区間 (H E D P) の画素数 (N H P) を、請求項3に記載のアナログ画像入力信号をデジタル的に生成した時の水平有効表示区間内の画素数に設定し、該請求の範囲5の垂直同期信号の間の水平同期信号の総数を、アナログ画像入力信号をデジタル的に生成した時の垂直有効表示区間のライン数の識別にも使用して、この値を、請求の範囲3におけるアナログ画像入力信号をデジタル的に生成した時の垂直有効表示区間のライン数として設定する事により表示座標を自動調整する事を特徴とするデジタル画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、パソコン等のビデオ信号源から出力されるアナログビデオ信号をデジタルビデオ信号に変換するビデオアダプタであって、更に詳述すれば、変換されたデジタルビデオ信号のクロック周波数、位相タイミング、及び表示位置の変動を補償するビデオアダプタ及び同ビデオアダプタを組み込んだデジタル画像表示装置に関するものである。

【0002】

【従来の技術】従来、パソコン等のビデオ信号源から出力されるアナログビデオ信号をデジタルビデオ信号に変換するビデオアダプタ及び同ビデオアダプタを組み込んだデジタル画像表示装置に関するものである。従来のデジタル画像表示装置は、内部で生成された表示信号を直接表示するか、もしくは外部のディスプレイ等に表示する。しかし、このようにアナログディスプレイは、近年の省スペース化及び小電力化の要求に応えるために、液晶ディスプレイ、プラズマディスプレイ、及びカソードタイプのラスタスキャン表示を行うフラットディスプレイに代表されるデジタル画像表示装置に置き換えられつつある。本来、パソコン等のビデオ信号源から出力されるアナログビデオ信号は、内部で生成され、処理する画像信号はデジタルビデオ信号である。そこで、従来のアナログディスプレイに表示するために、

内蔵或いは外部のビデオアダプタによって、デジタルビデオ信号をアナログビデオ信号に変換して出力している。

【0003】 それ故に、デジタル画像表示装置を従来のアナログ画像表示装置の代替として用いる為には、デジタル画像表示装置側で内蔵或いは外部のビデオアダプタを用いて、パソコン等のビデオ信号をデジタルビデオ信号に変換する必要がある。便宜上、パソコン等のビデオアダプタを出力ビデオアダプタと、デジタル画像表示装置側で用いるビデオアダプタを入力ビデオアダプタと呼称する。

【0004】 図10に、パソコン等のビデオ信号を、A/D変換して、デジタル画像信号S i d c 及びデジタル画像表示装置の表示装置制御データD c o を生成する従来の入力ビデオアダプタV A c の構成が示されている。ビデオアダプタのV A c は、A/D変換器1、クロック生成回路2、遅延回路5、表示制御回路6、及びプリセットメモリ7から構成される。アナログビデオ信号に含まれるアナログ画像信号S i a 及び水平同期信号H s y n c が、それぞれ、A/D変換器1及び遅延回路5に入力される。クロック生成回路2はPLL(フェーズロックループ)回路によって構成され、画像開始・終了検出回路3はカウンタ回路と比較回路をロジック回路にて構成したゲートアレイ等で構成され、表示制御回路4はマイクロコンピュータで構成され、そして、遅延回路5はゲートアレイ内の各素子のデレイ値を利用する方法もしくは遅延ライン等で構成される。プリセットデータメモリ7には、パソコン等のビデオ信号の各画像解像度に適したクロック数データD c 1 、位相データD p h 、表示座標データD c o のセットからなる画像調整パラメータP Iが、予め格納されている。

【0005】 表示制御回路6は、入力された映像信号による水平同期信号H s y n c 及び垂直同期信号V s y n c の周波数をモニタすることによって、アナログ画像信号S i a の画像解像度に対応する画像調整パラメータP Iを読み出して、クロック数データD c 1 をクロック生成回路2に出力し、位相データD p h を遅延回路5に出力し、表示座標データD c o をディジタル表示装置に出力する。

【0006】 遅延回路5は、位相データD p h に基づいて、水平同期信号H s y n c を所定時間遅延させて位相を変えた後、クロック生成回路2に出力する。

【0007】 クロック生成回路2は、PLL回路により構成されており、表示制御回路6からのクロック数データD c 1 がセットされる。クロック生成回路2は、セットされたクロック数データD c 1 の指示する周波数を有すると共に、遅延回路5で位相をずらされた水平同期信号

号H sync'に位同期したクロックCLKを生成して、A/D変換器1に出力する。

【0008】A/D変換器1は、クロックCLKのタイミングに応じて、アナログ画像信号Siaをデジタル画像信号Sidcに変換して、デジタル画像表示装置の表示回路(不図示)に出力する。

【0009】このように、アナログビデオ信号の画像解像度に応じた画像調整パラメータPIをプリセットデータメモリ7から読み出して、それぞれ対応する回路に出力することにより画像表示の調整を行う。つまり、表示制御回路6は、遅延回路5に対し位相データDph(つまり遅延時間)を出力することによりA/D変換器1におけるクロックCLKとデータの位相関係を制御する。更に、ユーザーはそれらの画像調整パラメータPIを直接調整できるように、表示制御回路6に接続されたキースイッチ(不図示)等の入力手段が用意されている。

【0010】

【発明が解決しようとする課題】しかしながら、上述の従来ビデオアダプタVAでは、パーソナルコンピュータから入力されるアナログビデオ信号のクロック、表示、及び位相のそれぞれのタイミングに規定するクロックCLK、表示座標データDco、及び位相データDphからなる画像調整パラメータPIの各種データを、予めプリセットデータメモリ7に格納して必要がある。その為、プリセットデータメモリ7に格納されている画像調整パラメータに対応しないタイミングを有するアナログビデオ信号が入力された場合は、画像調整ができずに、デジタル画像表示装置は画像を正しく表示できない。

【0011】また、パーソナルコンピュータ側の出力ビデオアダプタは、完全に規格化されていないこともあり、機種間は言うまでもなく、個々のビデオアダプタ毎に出力されるアナログビデオ信号のタイミングは標準とされているタイミングから多少ずれている場合が多い。この様な場合には、表示制御回路6がプリセットデータメモリ7から読み出すクロック数データDc1、位相データDph、表示座標データDcoの値は、実際に入力されたアナログビデオ信号に相応しく無い。その結果、デジタル画像表示装置で表示される画像の一部が欠けたり、画像が揺らいだりするという問題が生じる。

【0012】この様な画像のちらつき、ジッター、及び画面欠けという事態に対しては、実際に入力されるアナログ映像信号の状態に応じて、画像調整パラメータPIのクロック数データDc1、位相データDph、表示座標データDcoを修正しなければならない。つまり、ユーザーは表示装置に表示される画像を見ながら、キースイッチ等により、プリセットデータメモリ7に格納されている画像調整パラメータPIを、実際に入力されているアナログビデオ信号に合わせて調整する必要がある。この調整には、画素単位での画像の変化を目視にて確認する必要があり、非常に熟練を要する困難な作業であ

る。この画像調整作業に関して、図11、図12、及び図13を参照して、クロック数データDc1、位相データDph、及び表示座標データDcoについてそれぞれ説明する。

【0013】先ず、クロック数データDc1の調整について説明する。ビデオアダプタVAに入力されるアナログビデオ信号は元々、パーソナルコンピュータなどのデジタル回路によりデジタル信号として作成されている。この元のデジタルビデオ信号を、D/A変換回路を用いて、水平同期信号H syncに同期したドットクロックに基づいてアナログ信号に変換した後に、CRTモニター等のアナログ画像信号を入力とする表示装置に供給している。

【0014】図11に、クロック生成回路2が生成するクロックCLKと、水平同期信号H syncを示す。同水平同期信号H syncにドットクロックを同期させたことは前述の通りである。このクロックCLKに基づいて、A/D変換器1はアナログ画像信号Siaを、順次、デジタル画像信号Sidcに変換する。その為、デジタル画像表示部、例えば液晶モニターに画像を正しく表示させる為には、クロックCLKの位相を、水平同期信号H syncの位相に同期させる必要がある。

【0015】水平同期信号H syncのパルスPh1とパルスPh2に、クロックCLKのパルスPc1とパルスPcnが対応している。尚、nは整数であり、アナログ画像信号Siaの水平解像度より所定の数だけ大きい。パルスPh1とパルスPh2は、それぞれ、所定の一水平同期期間Thの始まりと終わりに位置している。今、パルスPh1とパルスPc1との時間差を始点時間差 α 、パルスPh2とパルスPcnとの時間差を終点時間差 β とすると、始点時間差 α が終点時間差 β に等しければ、クロックCLKと水平同期信号H syncは同期している。

【0016】つまり、クロック数データDc1の調整とは、始点時間差 α と終点時間差 β が等しくなるように、つまり始点時間差 α と終点時間差 β の差 $T(Dc1) = \alpha - \beta$ がゼロになるように、クロック数データDc1の数値を変えることによって、クロックCLKを水平同期信号H syncに同期させることが出来る。始点時間差 α が終点時間差 β と等しくなったかどうかの判定は、ユーザーがモニターに表示される画像の画質で判断する。このようにして、実際のドットクロックに対するプリセットデータDc1のズレ $T(Dc1)$ を調整する。

【0017】次に、位相データDphの調整について説明する。遅延回路5は表示制御回路6からの位相データDphに基づいてクロック生成回路2へ供給する水平同期信号H syncを遅延させる。クロック生成回路2は、この遅延された水平同期信号H sync'を位相同期しているクロックCLKを生成して、A/D変換器1に出力する。つまり、位相データDphは、水平同期信

号H syncを、どの程度、遅延させるかを示す値で、A/D変換器1がアナログ画像信号Siaをデジタル画像信号Sidに変換するタイミングを決定する値である。

【0018】図12に、アナログ画像信号Sia、理想クロックCLKa、及び現実のクロックCLKbを示す。理想クロックCLKaは、アナログ画像信号Siaを正しくA/D変換するために理想的なタイミングパルスを持っている。例えば、クロックの立ち上がりにてA/D変換するタイミングを決定されるとすると、理想クロックCLKaは、アナログ画像信号Siaの画素の中心に位置する立ち上がりエッジEaを有している。

【0019】一方、現実のクロックCLKbは、理想クロックCLKaに対して、位相がずれておりその差T(Dph)は、図12に示すように最大180度である。

この場合、現実のクロックCLKbは、アナログ画像信号Siaの立ち上がり部分及び立ち下がり部分に立ち上がりエッジEbを有している。その為、アナログ画像信号Siaが不安定な部分を中心としてA/D変換されるため表示される画像は揺らぐ。この画像の揺らぎを解決するには、現実のクロックCLKbを位相差T(Dph)だけ遅延させて、理想のクロックCLKaに近づける、或いは等しくなるように位相データT(Dph)を修正する必要がある。つまり、現実のクロックCLKbが理想クロックCLKaと同期したかどうかの判定は、ユーザーがモニターに表示される画像の画質で判断する。このようにして、クロックCLKの理想クロックCLKaに対するプリセットデータDphのズレT(Dph)を調整する。

【0020】更に、表示座標データDcoについて説明する。図13に、一水平ライン上の画像に関して、水平同期信号H sync、アナログ画像信号Sia、理想的な画像取り込み区間Cp1、及び現実の画像取り込み区間Cp2を示す。表示座標データDcoはアナログ画像信号Siaの取り込み区間CPを決めるデータである。アナログ画像信号Siaは、水平同期信号H syncの一同期期間内に、水平有効表示区間HEDPを有している。尚、水平有効表示区間HEDPとは、表示しようとする画素が存在する水平区間、つまり画面上に表示される各水平ライン上画素の内、最も左端に位置する画素と最も右端に位置する画素との水平方向の距離に相当する区間である。理想的な画像取り込み区間Cp1は、アナログ画像信号Siaの水平有効表示区間HEDPと一致しており、画像はすべて表示される。

【0021】しかし、現実の画像取り込み区間Cp2は、画像取り込み区間Cp1に対して所定の期間T(Dco)だけずれている。つまり、画像取り込み区間Cp2では取り込み区間CPと水平有効表示区間HEDPが一致しておらず、画面は両端部が期間T(Dco)づつ欠けた画像表示になる。この画像の欠損を解決するには、現

10

実の画像取り込み区間Cp2を期間T(Dco)丈ずらして、理想の画像取り込み区間Cp1に近づける、或いは等しくなるように表示座標データDcoを修正する必要がある。つまり、現実の画像取り込み区間Cp2が理想的な画像取り込み区間Cp1と同期したかどうかの判定は、ユーザーがモニターに表示される画像の画質で判断する。このようにして、画像取り込み区間Cp2の理想の画像取り込み区間Cp1に対する対するプリセットデータ表示座標データDcoのズレT(Dco)を調整する。

20

【0022】上述のように、実際の入力アナログ画像信号Siaに応じて、ユーザーが画像を確認しながら、手動で調整しているクロック数データDc1、位相データDph、表示座標データDcoを、自動的に調整する方法と手段を提供するのが本案の目的である。

【0023】

30

【課題を解決するための手段】この目的を達成するためには本発明の表示装置はパーソナルコンピュータからのアナログ画像入力信号と、一定の周期でアナログからデジタルに変換する為のクロックを入力として、該アナログ画像入力信号をデジタル信号に変換するA/D変換回路と、該A/D変換回路からの出力であるデジタルビデオ信号と該アナログ画像入力信号に同期した水平同期信号と垂直同期信号、該A/D変換回路のクロックを入力として、水平区間内で水平画像開始座標と水平画像終了座標を検出する画像開始・終了座標検出回路と、該水平画像開始座標と該水平画像終了座標より、該A/D変換回路のクロックの周波数と関係づけられたクロック数データを算出する表示制御回路と、該表示制御回路からのクロック数データに基づいて、該A/D変換回路のクロックを生成するクロック生成回路より構成され、該表示制御回路により、該水平画像終了座標から該水平画像開始座標を減じた値が、該アナログ画像入力信号をデジタル的に生成した時の水平有効表示区間の画素数に合致するように、該A/D変換回路のクロック数に対応するクロックを算出する事により、該A/D変換するクロックの周波数を自動調整する事を特徴とした表示調整装置および表示装置である。

【0024】

40

【発明の実施の形態】以下に本発明の実施の形態について図面を参照しながら説明する。図1に、本発明に基づく実施形態に基づく入力ビデオアダプタVAを組み込んだデジタル画像表示装置DDの構造を簡単に示す。デジタル画像表示装置DDは、大別して、入力ビデオアダプタVA、画像表示部駆動回路10、及び画像表示部11からなる。入力ビデオアダプタVA(以降、ビデオアダプタVAと称する)はパーソナルコンピュータに接続されて、パーソナルコンピュータから供給されるアナログビデオ信号に基づいてデジタル画像信号Sidと表示装置制御データSdcを生成する。画像表示部駆動回路10はビデオアダプタVAに接続されて、ビデオアダプタ

50

VAから供給されるデジタル画像信号S_{i d}及び表示装置制御データS_{d c}に基づいて、画像表示部11を駆動するデジタル画像駆動信号SDを生成する。画像表示部11は画像表示部駆動回路10に接続されて、デジタル信号SDによって駆動されて画像の表示を行う。画像表示部11として、液晶ディスプレイ、プラズマディスプレイ、及びカソードタイプのフラットディスプレイ等のデジタルビデオ信号によって画像を表示する装置を用いることができる。

【0025】更に、ビデオアダプタVAは、同図に示す様に互いに接続されているA/D変換器1、クロック生成回路2、画像開始・終了座標検出回路3、表示制御回路4、及び遅延回路5を有する。A/D変換器1、画像開始・終了座標検出回路3、及び遅延回路5は、それぞれパーソナルコンピュータ(不図示)に接続されて、パーソナルコンピュータから供給されるアナログビデオ信号を構成するアナログ画像信号S_{i a}、垂直同期信号V_{sync}、及び水平同期信号H_{sync}が供給される。

【0026】遅延回路5は、後で詳述する表示制御回路4から供給される位相データS_pに基づいて水平同期信号H_{sync}を所定の時間T_s遅らせて遅延水平同期信号S_{hs}を生成してクロック生成回路2及び画像開始・終了座標検出回路3に供給する。

【0027】クロック生成回路2は、遅延水平同期信号S_{hs}に位相同期すると共に表示制御回路4から供給されるクロック数データS_{c d}に対応する周波数を有するクロックS_cを生成して、A/D変換器1及び画像開始・終了座標検出回路3に供給する。

【0028】A/D変換器1は、クロックS_cに基づいてアナログ画像信号S_{i a}をデジタル信号に変換してデジタルビデオ信号S_{i d}を生成して、画像開始・終了座標検出回路3及び画像表示部駆動回路10に出力する。

【0029】画像開始・終了座標検出回路3は、A/D変換器1から供給されるデジタル画像信号S_{i d}と、クロック生成回路2から供給されるクロックS_cと、遅延回路5から供給される遅延水平同期信号S_{hs}と、パーソナルコンピュータから供給される垂直同期信号V_{sync}に基づいて、デジタル画像信号S_{i d}が表す一フレーム画像の水平及び垂直方向の開始座標及び終了座標を検出して、画像の状態を表す画像情報信号S_iを生成する。この画像情報信号S_iの生成方法については、図7を参照して、後ほど詳しく説明する。

【0030】表示制御回路4は、画像開始・終了座標検出回路3に接続されて、画像情報信号S_iの供給を受ける。表示制御回路4は、画像情報信号S_iに基づいて、上述のクロック数データS_{c d}、位相データS_p、及び表示装置制御データS_{d c}を生成する。この表示制御回路4の動作については、図6を参照して、後ほど詳しく説明する。

【0031】次に、図2を参照して、ビデオアダプタVA及びデジタル画像表示装置DDの動作について説明する。パーソナルコンピュータから、アナログ画像信号S_{i a}、水平同期信号H_{sync}及び垂直同期信号V_{sync}から成るアナログビデオ信号が入力されると、ビデオアダプタVAは、以下の手順でデジタル画像信号S_{i d}及び表示装置制御データS_{d c}を生成する。

【0032】ステップ#100で、デジタル画像信号S_{i d}の状態に応じてクロック数データS_{c d}を、表示制御回路4にて生成することにより、クロックを正しく調整する。そして、次のステップ#200に進む。尚、本ステップで実施されるクロック調整ルーチンの詳細については、図6及び図7を参照して後で詳述する。

【0033】ステップ#200では、デジタル画像信号S_{i d}の状態に応じて位相データS_pを、表示制御回路4にて生成することにより、位相を正しく調整する。そして、次のステップ#300に進む。尚、本ステップで実施される位相調整ルーチンの詳細については、図8を参照して後で詳述する。

【0034】ステップ#300では、デジタル画像信号S_{i d}の状態に応じて表示装置制御データS_{d c}を生成することにより、表示位置を正しく調整する。そして、次のステップ#400に進む。尚、本ステップで実施される表示位置調整ルーチンの詳細については、図9を参照して後で詳述する。

【0035】ステップ#400では、ステップ#400で生成された表示装置制御データS_{d c}に基づいて、画像表示部駆動回路10が、デジタル画像信号S_{i d}に画像信号処理を施して、デジタル画像表示装置の駆動信号SDを生成して、次のステップ#500に進む。

【0036】ステップ#500では、駆動信号SDに基づいて、画像を正しい状態で表示して、処理を終了する。

【0037】尚、上述のフローチャートでは、アナログ画像信号S_{i a}のデジタル変換に関して、常時画像調整を行う例が説明されているが、アナログ画像信号S_{i a}の画像解像度が変更される時に画像調整を行う様にしてもよい。以下に、クロック数データS_{c d}、位相データS_p、表示装置制御データS_{d c}の算出、及び自動調整について順番に説明する。

【0038】先ず、図3、図4、図6、及び図7を参照して、本発明に基づくクロック調整について説明する。図3に、一水平ライン上の画像に対応する水平同期信号H_{sync}、アナログ画像信号S_{i a}、及びクロックS_cを示す。画像信号S_{i a}は好ましくは、図示のように、水平同期信号H_{sync}の一水平同期期間T_h中に、一水平ライン分の画像を表示する水平有効表示区間HEDPをバランス良く配置される。つまり、一水平ラインの画像信号において、水平有効表示区間HEDPの前後に表示画像データがない前無表示区間TnP及び後

無表示区間TnFが含まれる。A/D変換の基準であるクロックScのクロックパルスに同期して、アナログ画像信号Si aからアナログ・デジタル変換されたデジタル画像信号Si dを画素単位で、画像を有しているかどうかを調べることにより、デジタル画像信号Si dの1ライン毎に、水平有効表示区間HEDPのライン画像開始画素PS' とライン画像終了画素PE' を検出できる。ライン画像開始画素PS' の水平位置を画像左端水平座標HcS' とし、ライン画像終了画素PE' の水平座標を画像左端座標HcE' とする。

【0039】この水平有効表示区間HEDPの間に、パーソナルコンピュータ側の出力ビデオアダプタの解像度に応じた、水平方向画素数の画像情報を有する。つまり、標準的な、VGAビデオアダプタから出力される画像の一画面当たりの解像度は、グラフィックモードでは水平方向画素数640×垂直方向画素数480である。つまり、水平有効表示区間HEDPに640画素の画像情報が含まれている。このように、水平有効表示区間HEDPは、デジタル画像信号Si dの水平方向画素数Hで表すことができる。尚、この様にクロックScの各パルス間に同期して行われる処理過程をクロックサイクルと言う。

【0040】アナログ画像信号Si aをアナログ・デジタル変換して、水平有効表示区間HEDP内に640画素の画像情報を有するデジタル画像信号Si dを生成するためには、クロックScがこの水平有効表示区間HEDP内に640個のパルスを有するようにクロック数データScdの値を調整する必要がある。

【0041】図4に、アナログ画像信号Si aが有している画像情報が表現する一画面画像FIを表す。画面画像FIは、水平有効表示区間HEDP及び垂直有効表示区間VEDPで規定されるマトリックス内の画素で表現される。同図に於いて、画面画像FIの左上隅、右上隅、左下隅、及び右下隅に位置する画素をそれぞれ第一隅画素Pa、第二隅画素Pb、第三隅画素Pc、及び第四隅画素Pdとする。画素Paは水平有効表示区間HEDP及び垂直有効表示区間VEDPの始点、つまり画面画像FIの最初の画素である。画素Pbは、水平有効表示区間HEDPの終点、且つ垂直有効表示区間VEDPの始点に位置する、つまり、ラスタ画像FIの第一行目の最終画素である。画素Pcは、水平有効表示区間HEDPの始点、且つ垂直有効表示区間VEDPの終点に位置する、つまりラスタ画像FIの最終水平ラインVの開始画素である。画素Pdは、水平有効表示区間HEDP及び垂直有効表示区間VEDPの終点、つまりラスタ画像FIの最終水平ラインVの最終画素である。第一隅画素Paと第三隅画素Pcを結ぶ垂直線上の画素が、各水平ライン上の開始画素である。第二隅画素Pbと第四隅画素Pdを結ぶ垂直線上の画素が、各水平ラインの終了画素である。

【0042】今、アナログ画像信号Si aは第一隅画素Pa或いは第三隅画素Pc、第二隅画素Pb或いは第四隅画素Pdの画素値を有する、つまり何らかの画像を表すものとする。この画像を表す画素値を有する画素を有効表示画素と呼ぶ。表示制御回路4はクロック生成回路2に対し、クロック数データScdの初期値として適当なクロック値Pcvを与える。画像開始・終了座標検出回路3は、A/D変換器1から出力されるデジタル画像信号Si dの画面画像FIの画素の内で、最も左端に位置する有効表示画素を画像左端画素PSとして、最も右端に位置する有効表示画素を画像右端画素PEとしてそれぞれ検出する。

【0043】今、画像左端画素PSの座標を(HcS、VcS)、画像右端画素PEの座標を(HcE、VcE)、ライン画像開始画素PS' の座標を(HcS'、VcS')、及びライン画像終了画素PE' の座標を(HcE'、VcE')として示すことが出来る。画面画像FIの左端とは、垂直位置Vcに関係なく、各水平ラインVcに於いて、画像左端画素PSとは、一画面画像FIの全てのライン画像開始画素PS' の中でその水平座標HcS' の値が、垂直座標VcS' の値に関係なく、垂直ラインPA-PC上、或いは最も接近している画素を意味する。同様に、画像右端画素PEとは、一画面画像FIの全てのライン画像終了画素PE' の中でその水平座標HcE' の値が、垂直位置VcE' の値に関係なく、水平位置Hc が垂直ラインPB-PD上に、或いは最も接近している画素を意味する。このようにして求められた、画像左端画素PSと画像右端画素PEの水平方向の区間を水平画像表示区間HPと呼ぶ。この水平画像表示区間HPの距離は、|HcS-HcE|で表すことができる。デジタル画像信号Si dに於いて、この水平画像表示区間HPと水平有効表示区間HEDPは同一でなければならぬ。

【0044】画像開始・終了座標検出回路3は、本発明に基づく処理中に、各水平ラインVc毎に検出されるライン画像開始画素PS' 及びライン画像終了画素PE' の座標を、それぞれ画像左端画素PSの仮の座標及び画像右端画素PEの仮の座標として隨時記憶しておくレジスタ(不図示)を有する。

【0045】図6に示すフローチャートを参照して、図2に示したステップ#100のクロック調整ルーチンの動作について説明する。

【0046】クロック調整ルーチンが開始すると、先ずステップS110に於いてシステムのリセットが行われる。尚、ステップS110の初期化は、ステップS102と後続のステップS104に分かれて以下の様に行われる。

【0047】ステップS102で、画像開始・終了座標検出回路3によって、デジタル画像信号Si dの画像解像度を示す垂直方向画素数V及び水平方向画素数Hを抽

10 出する。次に、垂直同期信号 V_{sync} に統いて、最初に現れる水平ライン上の画素に関して、ライン画像開始画素 PS' 及びライン画像終了画素 PE' の検出を開始する。つまり、図3に示す水平同期信号 H_{sync} のパルス $Ph1$ の入力をもってスタート信号として、最初の水平ラインから数えて何番目のラインであるかを表す垂直位置パラメータ Vc を1にセットする。従って、垂直位置パラメータ Vc は垂直方向画素数 V 以下の整数であり、水平位置パラメータ Hc は平同期期間 Th に対応するクロックパルス数以下の整数である。そして、次のステップ S104 に進む。

【0048】ステップ S104 で、先ずクロック数データ Scd に初期値 Pcv がセットされ、クロック Sc に同期してクロック Sc のパルスの数を数えるクロックカウンタ PNC の値がゼロにリセットされ、レジスタに記憶されている画像左端画素 PS 及び画像右端画素 PE の座標値、及びライン画像開始画素 PS' 及びライン画像終了画素 PE' の座標値がそれぞれゼロにリセットされる。つまり、 HcS 、 VcS 、 HcE 、 VcE 、 HcS' 、 VcS' 、 HcE' 、及び VcE' の値をゼロにセットされる。更に、A/D 変換器 1 で、アナログ画像信号 Sia から変換されたデジタル画像信号 Sid が画像開始・終了座標検出回路 3 に入力される。このようにして、ステップ S110 での初期化のあと、次のステップ S120 に進む。

【0049】ステップ S120 では、デジタル画像信号 Sid 中の各画素について、各水平ライン Vc 每に、ラスタースキャンの順番に画像を有しているかどうかを調べて、水平画像表示区間 HP を検出した後、次のステップ S170 に進む。本ステップに於ける水平画像表示区間 HP 検出の動作について、図7を参照して、以下に説明する。

【0050】ステップ S122 では、クロック Sc のパルスの1つに同期して、クロックカウンタ PNC が1でインクリメントされる。デジタル画像信号 Sid の現水平ライン上の最初の画素を有効表示画素であるかどうかの判定対象とセットした後、次のステップ S124 に進む。

【0051】ステップ S124 では、判定対象画素が、このライン上の画素で最初の有効表示画素、つまりライン画像開始画素 PS' であるかを判断する。前述の様に、パルス $Ph1$ 以降の前無表示区間 TnP 期間中は、表示すべき画像が無いので、NO と判断される。更に、水平有効表示区間 HP 中の画素であっても、例えば、現在検出対象の第一隅画素 PA が有効表示画素でなければ、NO と判断されてステップ S126 に進む。

【0052】ステップ S126 では、水平同期信号 H_{sync} の次のパルス $Ph2$ が検出されているかどうかが判断される。つまり、パルス $Ph2$ 検出の有無をもって、現水平ライン Vc 上の全ての画素について、ライン

画像開始画素 PS' の判定が行われたか否かが判断される。現在処理の対象である画素 P (PNC 、 Vc) が、現ラインの終端で無い場合には、パルス $Ph2$ は検出されないので、NO と判断されてステップ S122 に戻る。このようにして、ライン画像開始画素 PS' に関して未判定の画素が現ライン Vc に残っている限り判定を継続する。

【0053】ステップ S122 では、前回のクロックサイクルと同様に、クロック Sc のパルスに同期して、クロックカウンタ PNC がまたインクリメントされて、次の画素が処理の対象としてセットされる。この様にして、ステップ S124 でライン画像開始画素 PS' が検出されるか、ステップ S126 で現水平ライン上の全ての画素に対する判定の終了が確認される迄、ステップ S122、S124、及び S126 の処理がクロックサイクル毎に繰り返される。

【0054】一方、ステップ S124 で YES、つまりライン画像開始画素 PS' が検出された場合には、ステップ S128 に進む。これは、現ライン上に残っている未判定の画素についてライン画像開始画素 PS' の検出は、もう不要であるからである。

【0055】ステップ S128 では、現水平ライン Vc のライン画像開始画素 PS' として、その時点での検出対象画素の座標がセットされる。つまり、ライン画像開始水平座標 HcE' にその時点のクロックカウンタ PNC の値がセットされ、ライン画像開始垂直座標 VcE' にその時点のラインの垂直位置パラメータ Vc の値がセットされる。そして、次のステップ S130 に進む。

【0056】ステップ S130 では、前述のステップ S122 と同様に、クロック Sc の次のパルスに同期して、クロックカウンタ PNC がインクリメントされて、更に次の画素が処理対象にセットされる。そして、次のステップ S132 に進む。

【0057】ステップ S132 では、判定対象画素が、このライン上の画素で最後の有効表示画素 PE' の次の画素、つまりライン画像終了画素 P ($HcE' + 1$ 、 Vc) であるかを判断する。例えば、現在検出対象の P (PNC 、 Vc) が、有効表示画素であれば、NO と判断されてステップ S134 に進む。

【0058】ステップ S134 では、ステップ S126 と同様に、水平同期信号 H_{sync} の次のパルス $Ph2$ 検出の有無が判定される。但し、本ステップでは、ライン画像終了画素 PE' 検出処理を施されていない画素が現ライン上に残っているかが判定される。ゆえに、現在処理の対象である画素 P (PNC 、 Vc) が、現ラインの終端画素で無い場合には、NO と判断されてステップ S130 に戻る。この様にして、ステップ S132 でライン画像終了画素 PE' が検出されるか、ステップ S134 で現ライン上の全ての画素に対する判定の終了が確認される迄、ステップ S130、S132、及び S13

4の処理がクロックサイクル毎に繰り返される。

【0059】一方、ステップS132でYES、つまりP(PNC, Vc)が非有効表示画素である場合には、この画素P(PNC, Vc)はライン画像終了画素PE'の次の画素P(HcE' + 1, Vc)であると判断して、ステップS136に進む。これは、一クロックサイクル前の判定対象画素P(PNC-1, Vc)がライン画像終了画素PE'であると検出したので、現ライン上に残っている画素についての判定は不要であるからである。

【0060】ステップS136では、現水平ラインVcのライン画像終了画素PE'の座標として、一クロックサイクル前に検出された画素の座標がセットされる。つまり、ライン画像終了水平座標HcE'に、一クロックサイクル前のクロックカウンタPNCの値であるPNC-1がセットされ、ライン画像終了垂直座標VcE'にその時点のラインの垂直位置パラメータVcの値がセットされる。そして、次のステップS138に進む。

【0061】一方、ステップS126でYES、つまり現水平ラインVcには、ライン画像開始画素PS'が無いと判断された場合には、ステップS128で、初期化時或いは以前のクロックサイクルで検出されたライン画像開始画素PS'の水平座標値HcS'及び垂直座標値VcS'を更新すること無く、直接ステップS138に進む。

【0062】更に、ステップS134でYES、つまり現ラインには、ライン画像終了画素PE'が無いと判断された場合には、ステップS138で初期化時或いは以前のクロックサイクルで検出されたライン画像終了画素PE'の水平座標値HcE'及び垂直座標値VcE'を更新すること無く、直接ステップS138に進む。

【0063】ステップS138では、上述のように、ステップS126、S134、及びS136のいずれかを経て、現水平ラインVcに関して獲得されたライン画像開始画素PS'及びライン画像終了画素PE'に基づいて、レジスタに格納されている画像左端画素PS及び画像右端画素PEの座標値を、以下の如く更新する。

【0064】先ず、画像左端画素PSの更新について述べる。新たに検出されたライン画像開始画素PS'の水平座標値HcS'が、レジスタに格納されている画像左端画素PSの水平座標値HcSより少なければ、今回のライン画像開始画素PS'の水平座標値HcS'を画像左端画素PSの水平座標値HcSとしてレジスタに格納する。つまり、画面画像FIの各水平ライン上の有効表示画素の内、よりラスタスキャン順位の早い画素の水平座標を、その時点での画像左端座標HcSとする。更に、垂直座標VcSの値もVcS'で更新される。

【0065】次に、画像右端画素PEの更新について述べる。新たに検出されたライン画像終了画素PE'の水平座標値HcE'が、レジスタに記憶されている画像左

端画素PSの水平座標値HcEより大きければ、今回のライン画像終了画素PE'の水平座標値HcE'を画像右端画素PEの水平座標値HcEとしてレジスタに格納する。つまり、画面画像FIの各水平ライン上の有効表示画素のよりラスタスキャン順位の遅い画素の水平座標を、その時点での画像左端座標HcEとする。

【0066】このようにして、一ライン単位で求めた、ライン画像開始画素PS'及びライン画像終了画素PE'の水平座標値をレジスタに格納されている画像左端画素PS及び画像右端画素PEの水平座標値と比較して、然るべく更新することによって、最初の水平ラインV1から現水平ラインVcを含む画面画像FI全体で、最も左端に位置する画素PSの水平座標HcSと、最も右端に位置する画素PEの水平座標HcEを求めた後、次のステップS140に進む。

【0067】ステップS140では、垂直位置パラメータVcが垂直方向画素数Vと同一かが判断される。判定対象水平ラインVcが画面画像FIの最終水平ラインVに到達していない場合には、NOと判断されてステップS142に進む。

【0068】ステップS142では、垂直位置パラメータVcを一でインクリメントして、次の水平ライン上の画素を判定対象としセットする。そして、次のステップS122に戻る。

【0069】一方、ステップS140でYES、つまり画面画像FI中の全水平ラインを判定対象として、ステップS138で画像左端画素PS及び画像右端画素PEの座標値を更新した後、ステップS144に進む。

【0070】ステップS144では、ステップS138で画面画像FI全体に対して検出した画像右端水平座標値HcEから画像左端水平座標値HcSを減じて1を足すことによって、水平画像表示区間HPの画素数NHPを求める。そして、次のステップS146に進む。尚、本ステップに於ける水平画像表示区間画素数NHPの算出は次式で表すことが出来る。

【0071】

$$[数1] NHP = HcE - HcS + 1$$

【0072】ステップS146では、画像開始・終了座標検出回路3によって、画像情報信号Siを生成しステップS138及びS144で検出された情報に基づいて画像情報信号Siが生成される。更に、この画像情報信号Siは表示制御回路4に出力される。この様にして、検出有効画素数NHP検出ルーチン処理(ステップS120)を終了した後に、図3に示すステップS170に進む。

【0073】ステップS170では、表示調整回路4は、画像情報信号Siから読み出した水平画像表示区間画素数NHPが、予め設定された有効表示区間の画素数NPPに合致しているか否か判定する。尚、設定有効画素数NPPは、好ましくはアナログ画像信号Si aの水

平方向画素数Hと等しいことは前述の通りであるが、それ以外の適当な所定の値を探っても良い。

【0074】水平画像表示区間画素数NHPが設定有効表示画素数NPPに等しい場合は、クロックScのクロック数は入力されるアナログ画像信号Si aに適合しているので、クロックScの調整は不要であるので処理を終了する。

【0075】一方、水平画像表示区間画素数NHPが設定画素数NPPに等しくない場合は、ステップS170でNOと判断して、次のステップS172に進む。

【0076】ステップS172では、表示制御回路4にて、現在のクロック数データScdを、設定有効表示画素数NPPと水平画像表示区間画素数NHPとの誤差分を補正したクロック数で更新される。更にこの更新されたクロック数データScdがクロック生成回路2に出力された後に、ステップS174に進む。なお、本ステップに於けるクロック数データScdの更新は次式で表すことができる。

【0077】

$$【数2】 Scd = Scd + NPP - NHP$$

【0078】ステップS174では、クロック生成回路2は、表示制御回路4から入力されたクロック数データScdに基づいて、新たにクロックScを生成して、A/D変換器1に出力する。そして、次のステップS176に進む。

【0079】ステップS176では、A/D変換器1では、このクロックScに基づいて、アナログ画像信号Si aからデジタル画像信号Si dを生成し、このデジタル画像信号Si dに基づいて画像開始・終了座標検出回路3、表示制御回路4、及びクロック生成回路2が上述のステップS120、S170、S172、S174、及びS176の処理を繰り返し、ステップS170で設定有効画素数NPPが検出有効画素数NPと一致した時点で、ステップ#100のクロック数データScd生成ルーチンを終了して、次のステップ#200に進む。これにより、自動的にクロック数データ（クロック周波数）を算出、調整する事ができる。

【0080】尚、前述した画像開始・終了座標検出回路3の画像開始座標と画像終了座標の検出は、各水平ライン毎にライン画像開始画素PS'及びライン画像終了画素PE'の座標を検出し記憶しておき、次の水平ラインにて、一つ前のライン画像開始画素PS'及びライン画像終了画素PE'の座標の値と比較して更新する事により、画面画像FI全体の画像左端画素PS及び画像右端画素PEの座標検出を実現したが、次に述べる様な方法でも実現できる。画像左端画素PSの座標レジスターと最小値比較回路、及び画像右端画素PEの座標レジスターと最大値比較回路に水平同期信号HsyncをトリッガとしてクロックScにてカウントするカウンタ-PNCに接続する様に構成する。そして、ビデオ信号Si aが

10

20

30

40

50

存在する時に、最小値比較回路と最大値比較回路をそれぞれ作動させ、最小値を画像左端座標レジスターに検出させると共に最大値を画像右端座標レジスターに検出させる。

【0081】又、水平有効表示区間HEDP内の設定有効画素数NPPは、ふたつの垂直同期信号内の水平同期信号をカウントする（一画面分の総水平ライン数を検出する）カウンターと、この値を予め設定された値と比較する比較回路から設定する事で実現できる。画面の画素数は一般的にVGA、SVGA、XGA等の各ビデオアダプタの出力モード毎に定められており、通常、VGAの場合はH640×V480ドット、SVGAの場合H800×V600ドット、XGAの場合H1,024×V768ドットの画素数である。一方、総水平同期信号数は垂直画素数に関係しており、総水平同期信号数を検出し、この値が閾値N1、N2に対しどのような大小関係になるかでVGA、SVGA、及びXGAの各ビデオアダプタの出力モードの判定を行う。簡便化の為、以降各ビデオアダプタの出力モードを単に、VGAモード、SVGAモード、及びXGAモードと言うように、各ビデオアダプタ名をそのまま出力モードとして呼ぶ。

【0082】ここで、N1に対しては600もしくは600に数ラインのビデオ信号のないブランкиング区間のライン数を加えた値を、N2には768もしくは768に数ラインのブランкиング区間を加えた値を用いる。総水平同期信号数がN1以下ならVGAモード、N1からN2の間ならSVGAモード、N2以上ならXGAモードと判別し、VGAモードなら設定有効画素数NPPを640に、SVGAモードなら設定有効画素数NPPを800に、そして、XGAモードなら検出有効画素数NPを1,024にそれぞれ設定する。この機能を画像開始・終了座標検出回路3内に設けて、表示制御回路4に出力しておく。又は、水平同期信号Hsyncの総数検出の為のカウンター機能と比較機能等高速処理が要求される部分を、画像開始・終了座標検出回路3に設け、表示制御回路4にて、出力ビデオアダプタの出力モードの識別をし、設定有効画素数NPPを設定することによって実現できる。

【0083】次に、図2に示したステップ#200の位相調整ルーチンについて、図5及び図8を参照して以下に説明する。先ず、図5を参照して、本発明に於ける位相調整の概念を説明した後に、図8を参照して、具体的な動作について説明する。

【0084】図5に、アナログ画像信号Si a、クロックCLK1、CLK2及びCLK3を示す。本発明に於いては、位相の調整、つまり位相データSpの生成は、水平表示の最初のビデオ信号、すなわち、前述の画像左端画素PSの水平座標HcSに着目し、この時のデジタル画像信号Si dを使用して行われる。

【0085】つまりクロックCLK1の場合、第20番

目のクロックパルスPh20が、アナログ画像信号Si aの開始端Seを検出した事を示し、この時のライン画像開始水平座標HcS'の値は20である。この状態から、クロックCLK1を右方向にずらして位相を変える。クロックCLK1の位相を右に360度ずらした場合を、クロックCLK2に示す。クロックCLK2では、第19番目のクロックパルスPh19で、アナログ画像信号Si aの開始端Seを検出した事を示し、この時の画像開始水平座標の値は19である。このアナログ画像信号Si aの開始端Seが、クロックパルスPh20からクロックパルスPh19の変わり目に位置するよう 10 に調整されたクロックをクロックCLK3に示す。つまり、クロックCLK3の位相は、クロックCLK1及びクロックCLK2の位相に対して、それぞれ180度づつずれており、ちょうどクロックCLK1とクロックCLK2の中間の位相を持っている。

【0086】つまり、本発明において、クロックScの位相をずらして、二つのクロックCLK1とCLK2を生成して、それぞれに対応するアナログ画像信号Si aの開始端Seの座標を位相データとして検出し、この2点の位相データの中間点を最適な位相データとするクロックCLK3生成することによって、位相を調整する。

【0087】図8に示すフローチャートを参照して、図2に示したステップ#200の具体的動作を説明する。尚、本位相調整ルーチンに先だって、ステップ#100のクロック調整ステップで、クロックScはすでに、入力されるアナログ画像信号Si aに応じて正しく調整されていることは言うまでも無い。また、アナログ画像信号Si aは画面の左端に画像がある信号を入力する。つまり、アナログ画像信号Si aは、図4に示す画素Pa又はPcを有しているものとする。

【0088】ステップS402では、表示制御回路4は遅延回路5に対し位相データSpの初期値として、最短の遅延時間を示す位相データSpvを出力した後、次のステップS404に進む。

【0089】ステップS404では、表示制御回路4は更に、画像開始・終了座標検出回路3から画像左端水平座標HcSを読み出した後、次のステップS406に進む。尚、画像左端水平座標HcSの読み出しは、図7を参考して詳しく説明した水平画像表示区間HPの検出ルーチンにて行われたのと同様の方法にて行われる。

【0090】ステップS406では、表示制御回路4によって、ステップS404で読み出された画像左端水平座標HcSに基づいて、位相データSpを遅延時間の増加する方向にインクリメントしてクロックCLK1を出力する。そして、次のステップS408に進む。

【0091】ステップS408では、新たに、画像左端水平座標HcS'を読み出して、次のステップS410に進む。

【0092】ステップS410では、今回読み出した画 50

像左端水平座標HcS'が前回読みだした画像左端水平座標HcSと等しいかどうか判断する。HcS'がHcSに等しく無い場合には、NOと判断されて、ステップS412に進む。

【0093】ステップS412では、クロックCLK1に基づく位相データSpを更にインクリメントしてクロックCLK2を生成した後、次のステップS414に進む。

【0094】ステップS414では、クロックCLK2を遅延回路5に出力した後、ステップS410に戻る。

【0095】一方、ステップS410でNO、つまり今回の画像左端水平座標HcS'が前回の画像左端水平座標HcSと異なる場合には、ステップS416に進む。

【0096】ステップS416では、一回目の変化点であるか、つまり、HcS' ≠ HcSである位相データSpであるか否かが判断される。YESの場合には、ステップS418に進む。

【0097】ステップS418では、クロックCLK1に基づく位相データSpを変数P1に格納した後に、ステップS412に進む。そして、前述のステップS412、S414、S408、及びS410の変化点をさがす処理を繰り返す。

【0098】一方、ステップS416でNO、つまりステップS410で二回、YESと判断された場合には、この2回目に検出した変化点に対応するクロックCLK2に基づく位相データSpを変数P2に格納した後、次のステップS420に進む。

【0099】ステップS420では、変数P1と変数P2の平均値を調整した位相データSpとして生成した後、次のステップS424に進む。

【0100】ステップS424で、ステップS420で生成されたクロックCLK3に相当する位相データSpを遅延回路5に出力した後に、処理を終了する。このようにして、アナログ画像信号Si aをA/D変換するタイミングを決める位相データSpを算出し、調整する事により、表示画像の揺らぎ無くす事ができる。

【0101】尚、以上の説明では、左端の画像を用いているが、右端の画像を入力し、画像終了座標のデータを用いても同様に調整可能である。この場合は、画像開始・終了座標検出回路3からの画像終了座標を使用する。

【0102】次に、図2に示したステップ#300の表示位置調整ルーチンの詳細について図9に示すフローチャートを参照して以下に説明する。尚、本ルーチン開始時には、先行するステップ#100及び#200にて、クロックSc及び位相データSpは入力されるアナログ画像信号Si aに応じて正しく調整済みであることは言うまでもない。また、入力されるアナログ画像信号Si aは、左端で上端に画像のある、つまり図4に示す画素Paに対応する画像を有する信号である。更に、画像開始・終了検出回路3は、クロック調整及び位相調整にて説

明した機能に、さらに垂直方向の画像開始検出機能を有している。尚、この垂直方向の画像開始検出機能は、主にソフトウェアにて構成されるので、特に回路等の手段としては図示していない。また、垂直方向の画像開始位置とは、画面画像F1の上端の垂直座標、つまり画像上端垂直座標VcSを求めるに他ならない。画像上端垂直座標VcSを検出するに、画像開始・終了座標検出回路3は、垂直同期信号Vsyncをトリッガとして水平同期信号Hsyncをカウントして垂直座標Vcとし、最初にアナログ画像信号Siaの現れた垂直座標Vcを画像上端垂直座標VcSとする。なお、各ステップ毎の処理内容は以下の通りである。

【0103】ステップS302に於いて、表示制御回路4は画像開始・終了座標検出回路3から画像左端水平座標HcS及び画像上端垂直座標VcSのそれぞれを読み出した後、次のステップS304に進む。

【0104】ステップS304では、これらの画像左端水平座標HcS及び画像上端垂直座標VcSに基づいて、以下の処理を実行して表示装置制御データSdcを生成する。画像左端水平座標HcSを水平表示開始座標HsSとしてセットする。水平有効表示区間HEDP内の画素数を表す水平画像表示区間画素数NHPを画像左端水平座標HcSに加算して、画像左端座標HcEを算出する。画像上端垂直座標VcSを垂直表示開始座標VsSとしてセットする。更に、垂直有効表示区間VEDP内の画素数を表す垂直画像表示区間画素数NVP、画像上端垂直座標VcSに加算して、画像下端垂直座標VcEを算出する。尚、垂直画像表示区間画素数NVPは、基本的には、水平画像表示区間画素数NHPと同様の方法にて求めることができるので、具体的に方法についての説明を省く。以上の処理を実行後、次のステップS306に進む。

【0105】S306では、S304で生成された画像左端座標HcE及び画像下端垂直座標VcEから成る表示装置制御データSdcを画像表示部駆動回路10に出力して処理を終了する。

【0106】上述の例では画像左端座標HcE及び画像下端垂直座標VcEを、それぞれ、画像左端水平座標HcSと水平有効表示区間HEDP、及び画像上端垂直座標VcSと垂直有効表示区間VEDPから算出している。しかし、画面画像F1の左上隅及び右下隅に、それぞれ有効画像画素Pa及びPdを有するアナログ画像信号Siaを入力し、画像開始・終了検出回路3から画像左端座標HcE及び画像下端垂直座標VcEデータを検出し、表示座標制御データSdcを生成することも可能である。この場合、画像開始・終了検出回路3に、さらに、垂直方向の画像終了位置を検出する機能を有する。垂直方向の画像終了位置を検出するには、垂直同期信号Vsyncをトリッガとして水平同期信号Hsyncをカウントして垂直座標Vcとし、アナログ画像信号S

iaの現れた時の垂直座標値Vcを逐次レジスターに記憶しておく事で、このレジスターの値が画像下端垂直座標VcEになる。画像開始・終了検出回路3は、画像左端水平座標HcSと画像上端垂直座標VcS、及び画像左端座標HcEと画像下端垂直座標VcEを検出する。そして、表示制御回路4は、これらの値に基づいて、表示装置制御データSdcを生成し、画像表示部駆動回路10に出力する。入力するアナログ画像信号Siaとして、図4に示すように、画面画像F1の右上隅及び左下隅にそれぞれ有効表示画素Pb及びPcを有する信号であっても良い。

【0107】本発明に基づいて、画像の表示位置を調整するに、表示座標制御データを正しく生成するのに、特別な画面は通常不要になる。例えば、Windows (米国マイクロソフト社の登録商標) 画面で全体に壁紙のある入力画像で良い。

【0108】または、水平画像表示区間画素数NHP及び垂直画像表示区間画素数NVPを次の手段で検出する事もできる。クロック数データの算出で述べた水平同期信号Hsyncをカウントする (一画面分の総水平ライン数を検出する) カウンターと、この値を予め設定された値と比較する比較回路からの構成することで、各表示モードを識別し、水平有効表示区間HEDP及び垂直有効表示区間VEDPの画素数を設定する。VGAモードの場合は水平有効期間の画素数を640に垂直有効期間の画素数を480に、SVGAモードの場合は水平有効期間の画素数を800に垂直有効期間の画素数を600に、XGAモードの場合は水平有効期間の画素数を1024に垂直有効期間の画素数を768に設定する。この場合は、必要な画像画面は、図4に示す左上隅に有効表示画素Paのみを有する丈で良い。そして、画像左端水平座標HcS及び画像上端垂直座標VcSのみを検出し、これに、各モードの水平・垂直有効期間の画素数を加算する事で、表示制御データSdcを算出することができる。

【0109】また、白黒の画像にて説明したが、カラー画像の場合について、白黒画像の場合と異なる部分についてのみ以下に説明する。A/D変換器1は、R(赤)、G(緑)及びB(青)のそれぞれ対応して、計3つ用意する。これら3つのA/D変換回路の出力の論理和をとり、この出力を、デジタル画像信号Sidとして、画像開始・終了検出回路3に接続する。その他の回路は、前述の構成で良く、A/D変換器1以外の手段を各カラー信号毎に、別途用意する必要は内。

【0110】この構成によって、予めパソコンコンピュータからのアナログ画像入力信号に合わせたプリセットデータを用意しなくても、入力ビデオ信号に応じた最適のクロック数データ、位相データ、表示位置データを自動的に設定できる。また、それによりユーザーによるデータ調整も不要になる。

【0111】

【発明の効果】以上の説明から明らかなように、本発明によれば、デジタル化されたビデオ信号の画像開始・終了座標を検出し、それらのデータを用いることにより入力されるビデオ信号の実際の状態に合致したクロック数データ、位相データ、表示位置データを設定することができる。その為、入力しようとするビデオ信号に合わせたプリセットデータを予め用意する必要が無い。その結果、入力されているビデオ信号とプリセットデータPIとのズレも別途ユーザーが調整する必要が無い。

【図面の簡単な説明】

【図1】 本発明に基づく実施形態に基づく入力ビデオアダプタを組み込んだデジタル画像表示装置の構造を示すブロック図である。

【図2】 図1に示す本発明に基づく入力ビデオアダプタの主な動作を示すフローチャートである。

【図3】 本発明に基づくクロック調整を説明する概念図である。

【図4】 本発明に基づく、画像信号の画像情報を説明する概念図である。

【図5】 本発明に基づく位相調整を説明する概念図である。

【図6】 図2に示したクロック調整ルーチンの詳細な動作を示すフローチャートである。

10

【図7】 図6に示した水平画像表示区間画素数検出ルーチンの詳細を示すフローチャートである。

【図8】 図2に示した位相調整ルーチンの詳細な動作を示すフローチャートである。

【図9】 図2に示した表示位置調整ルーチンの詳細な動作を示すフローチャートである。

【図10】 従来の入力ビデオアダプタの構造を示すブロック図である。

【図11】 従来の入力アダプタに固有のクロック調整の問題を説明する概念図である。

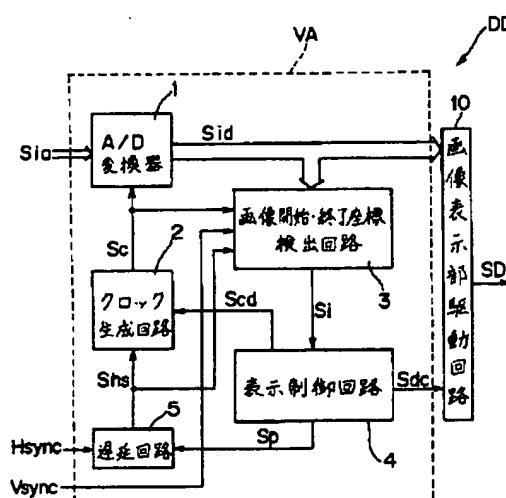
【図12】 従来の入力アダプタに固有の位相調整の問題を説明する概念図である。

【図13】 従来の入力アダプタに固有の表示位置調整の問題を説明する概念図である。

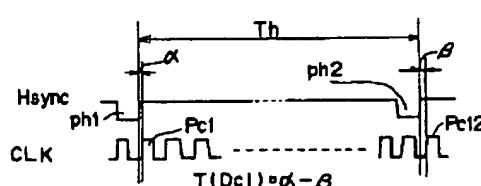
【符号の説明】

- 1 A/D変換回路
- 2 クロック生成回路
- 3 画像開始・終了座標検出回路
- 4 表示制御回路
- 5 遅延回路
- 7 プリセットデータメモリー
- 10 画像表示部駆動回路
- 11 画像表示部
- 14 表示制御回路

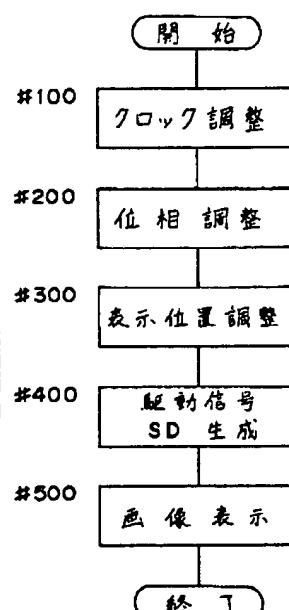
【図1】



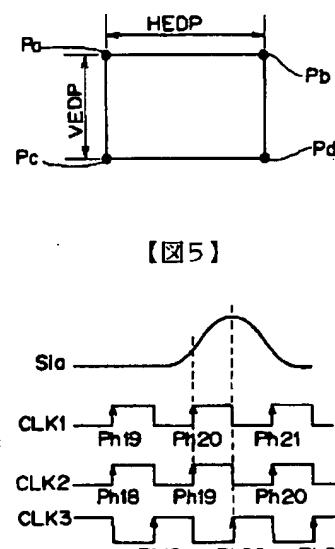
【図11】



【図2】

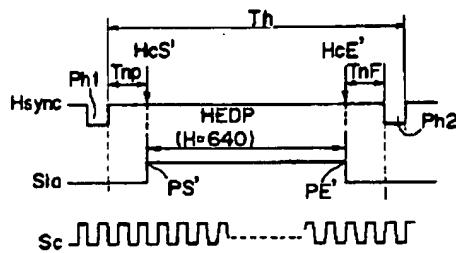


【図4】

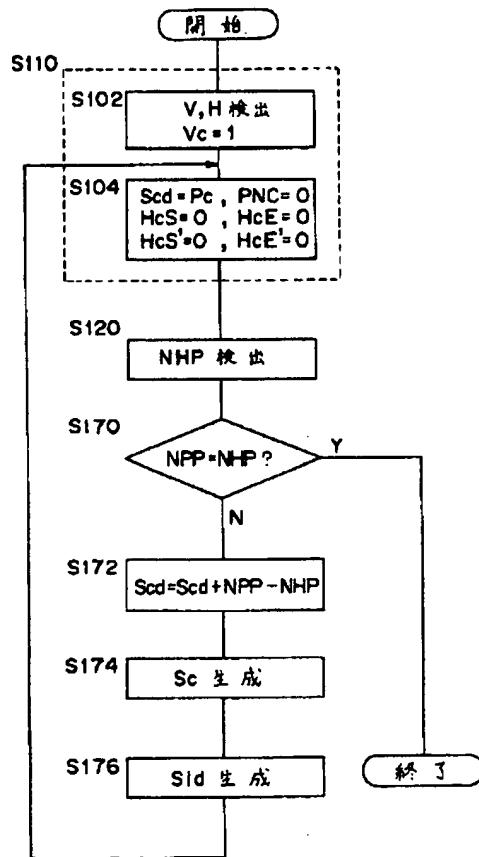


【図5】

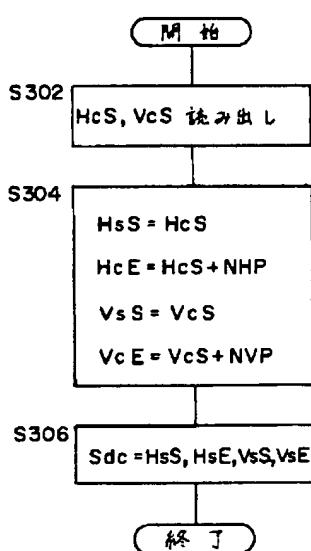
【図3】



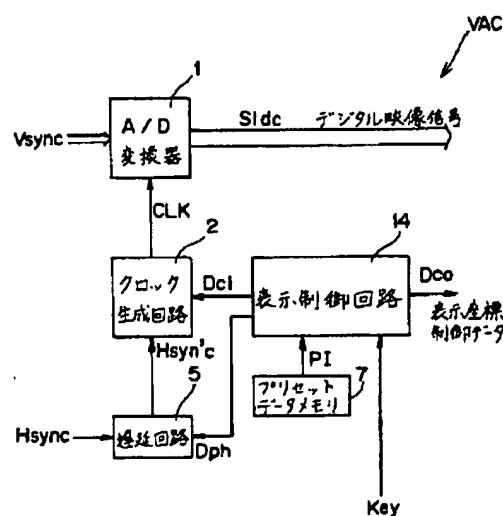
【図6】



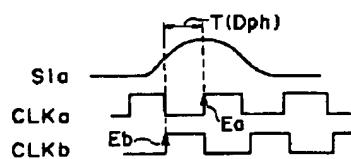
【図9】



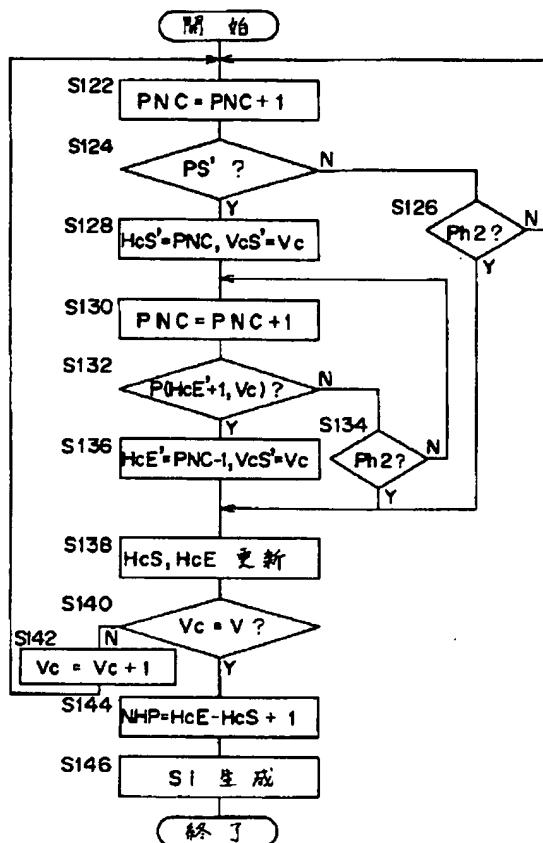
【図10】



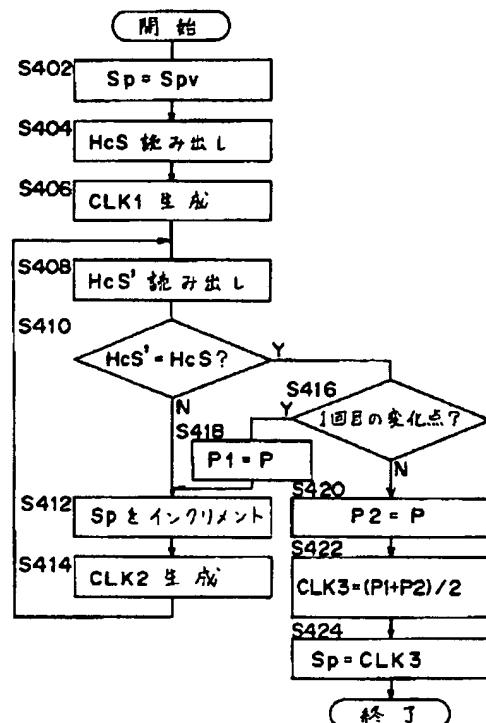
【図12】



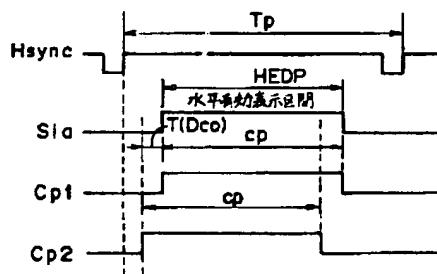
【図7】



【図8】



【図13】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.